

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 23/60

H01L 27/00



[12] 发明专利说明书

[21] ZL 专利号 01116071.3

[45] 授权公告日 2004 年 12 月 15 日

[11] 授权公告号 CN 1180479C

[22] 申请日 2001.5.14 [21] 申请号 01116071.3

[71] 专利权人 矽统科技股份有限公司

地址 台湾省新竹科学园区

[72] 发明人 罗文裕 柯明道 庄健晖

审查员 杨子芳

[74] 专利代理机构 北京三友知识产权代理有限公司

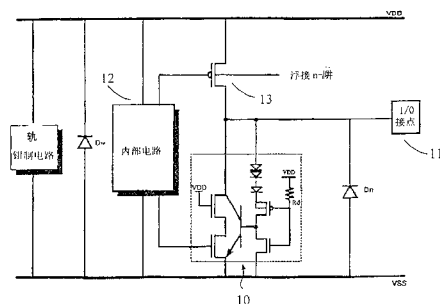
代理人 穆魁良

权利要求书 3 页 说明书 6 页 附图 8 页

[54] 发明名称 静电放电防护电路

[57] 摘要

本发明公开了一种静电放电防护电路，利用基体触发技术对高低压输出电路进行静电放电防护，该静电放电防护电路包含：一堆叠式 NMOS 晶体管，具有第一 NMOS 晶体管与第二 NMOS 晶体管；一寄生的旁侧双载流子晶体管；一触发电流产生电路；以及一寄生的基板电阻；本发明可提高高低电压共容的输出电路的静电放电防护能力。



ISSN 1008-4274

知识产权出版社出版

1、一种静电放电防护电路，其特征是，该静电放电防护电路包含：

一堆叠式 NMOS 晶体管，具有堆叠的第一 NMOS 晶体管与第二 NMOS 晶体管，
该第一 NMOS 晶体管的漏极连接于一 I/O 接点，且该第一 NMOS 晶体管的栅极连
5 接于一电源电压，该第一 NMOS 晶体管的源极连接于该第二 NMOS 晶体管的漏极，
且该第二 NMOS 晶体管的栅极连接于一内部电路，以及该第二 NMOS 晶体管的源
极接地；

一旁侧双载流子晶体管，该旁侧双载流子晶体管的集电极连接于前述第一
NMOS 晶体管的漏极，而发射极连接于第二 NMOS 晶体管的源极；

10 一触发电流产生电路，第一端连接于前述 I/O 接点，第二端接地，以及第
三端连接于前述旁侧双载流子晶体管的基极，所述的 I/O 接点的电压高于一设
定值时，从所述的第三端送出一触发电流；

一基板电阻，一端连接于前述双载流子晶体管的基极，另一端接地，由所
述的触发电流产生一偏压给所述的双载流子晶体管。

15 2、根据权利要求 1 所述的静电放电防护电路，其特征在于，所述的触发电
路产生电路包含：

一串联二极管，该串联二极管的正端为所述触发电流产生电路的前述的第
一端；

一 PMOS 型晶体管，该 PMOS 型晶体管的源极连接于所述的串联二极管的负
20 端；

一 NMOS 型晶体管，该 NMOS 型晶体管的漏极连接于所述 PMOS 型晶体管的漏
极并作为该触发电流产生电路的前述第三端，且该 NMOS 型晶体管的源极作为该
触发电流产生电路的前述的第二端；

其中所述的 PMOS 型晶体管与 NMOS 型晶体管的栅极经由一电阻连接至所述
25 的电源电压。

3、如权利要求 1 所述的静电放电防护电路，其特征在于，还包含一提升 PMOS，

漏极连接于前述的 I/O 接点，源极连接于前述电源电压，栅极连接于前述的内部电路。

4、如权利要求 1 所述的静电放电防护电路，其特征在于，所述的基板电阻为寄生电阻。

5 5、如权利要求 1 所述的静电放电防护电路，其特征在于，所述的旁侧双载流子晶体管为寄生双载流子晶体管。

6、一种静电放电防护电路，其特征是，该静电放电防护电路包含：

一堆叠式 NMOS 晶体管，具有堆叠的第一 NMOS 晶体管与第二 NMOS 晶体管，该第一 NMOS 晶体管的漏极连接于一 I/O 接点，且该第一 NMOS 晶体管的栅极连
10 接于一电源电压，该第一 NMOS 晶体管的源极连接于该第二 NMOS 晶体管的漏极，且该第二 NMOS 晶体管的栅极连接于一内部电路，以及该第二 NMOS 晶体管的源极接地；

一旁侧双载流子晶体管，该旁侧双载流子晶体管的集电极连接于前述第一 NMOS 晶体管的漏极，而发射极连接于前述第二 NMOS 晶体管的源极；

15 一触发电流产生电路，第一端连接于一提升 PMOS 晶体管的浮接的 n-阱，第二端接地，以及第三端连接于前述旁侧双载流子晶体管的基极，所述的 I/O 接点的电压高于一设定值时，从所述的第三端送出一触发电流；

一基板电阻，一端连接于前述双载流子晶体管的基极，另一端接地，所述的触发电流产生一偏压给所述的双载流子晶体管。

20 7、如权利要求 6 所述的静电放电防护电路，其特征是：其中前述触发电流产生电路还包含：

一串联二极管，该串联二极管的正端为该触发电流产生电路的前述第一端；

一 PMOS 型晶体管，该 PMOS 型晶体管的源极连接于所述的串联二极管的负端；

25 一 NMOS 型晶体管，该 NMOS 型晶体管的漏极连接于所述 PMOS 型晶体管的漏极并作为该触发电流产生电路的前述第三端，且该 NMOS 型晶体管的源极作为该

触发电流产生电路的前述的第二端;

其中所述的 PMOS 型晶体管与 NMOS 型晶体管的栅极经由一电阻连接至所述的电源电压。

8、如权利要求 6 所述的静电放电防护电路,其特征是:它还包含一提升 PMOS,
5 漏极连接于前述 I/O 接点,源极连接于前述电源电压,栅极连接于前述内部电路。

9、如权利要求 6 所述的静电放电防护电路,其特征是:其中前述基板电阻为寄生电阻。

10、如权利要求 6 所述的静电放电防护电路,其特征是:其中前述旁侧双
10 载流子晶体管为寄生双载流子晶体管。

静电放电防护电路

技术领域

本发明涉及集成电路的静电防护领域，特别是利用基体触发技术的高低压
5 输出电路的一种静电放电防护电路。

背景技术

为了构成高电路集积密度并达到预期的功能，缩小尺寸的金属氧化物半导体场效晶体管（MOSFET）已使用于先进的集成电路技术中。但为了符合固定的场比（field scaling）需求，在许多集成电路技术中亦将工作电压（power supply
10 voltage）按比例地降低。因此，在电脑结构中需具备界面（interface）来连接具有不同工作电压的半导体晶片（semiconductor chip）或子系统（sub-system）。由于具有混合的工作电压，晶片之间界面的 I/O 电路必须具备避免电压过高（overstress）以及防止不宜的漏电流路径（current leakage path）的功能。静电放电防护（electrostatic discharge, ESD）电路亦必须满足相同的界面状态与限制。其中一个限制是高低电压共容的 I/O 电路必须能够承受超
15 过栅极氧化层（gate oxide）可靠度限制的电压。

图 1 为美国第 5, 932, 918 号 “ESD protection clamp for mixed voltage I/O stages using NMOS transistors” 专利。如图 1 所示，该专利揭示出利用堆叠的 NMOS 晶体管 122、126 来限制 I/O 接点（Pad）111 的电压，进而保护内部电
20 路 112。NMOS 晶体管 122 的漏极 34 连接于 I/O 接点 111；而 NMOS 晶体管 126 的源极 132 接地。该堆叠的 NMOS 晶体管 122、126 在 CMOS 制程上的实现方式如图 2 所示，晶体管 122 的源极与晶体管 126 的漏极共用中间的 N+扩散，而在此种结构中，有一寄生的旁侧双载流子晶体管。图 3 为单一 NMOS 元件与堆叠 NMOS 元件的电压电流崩溃特性图。如图 3 所示，该堆叠的 NMOS 晶体管 122、126 的崩溃区工
25 作电压几乎是单一 NMOS 晶体管的两倍大。当相同的静电放电电流通过该堆叠的晶体管元件时，在该堆叠 NMOS 元件上产生的热能（Power = I*V）会是一般单一 NMOS

元件的两倍大。因此，使该堆叠 NMOS 元件容易因 ESD 而烧毁。即该堆叠 NMOS 元件的 ESD 耐受能力大幅下降。

发明内容

本发明的目的是提供一种静电放电防护电路，它利用基体触发技术的高低
5 电压共容的输入输出电路进行静电放电防护，从而提高高低电压共容的输入输出电路的静电放电防护能力。

本发明的静电放电防护电路，利用基体触发技术对高低电压共容的输入输出电路进行静电放电防护。该静电放电防护电路包含：一堆叠式 NMOS 晶体管，具有堆叠的第一 NMOS 晶体管与第二 NMOS 晶体管，该第一 NMOS 晶体管的漏极连接
10 于 I/O 接点，且该第一 NMOS 晶体管的栅极连接于一电源电压，该第一 NMOS 晶体管的源极连接于该第二 NMOS 晶体管的漏极，且该第二 NMOS 晶体管的栅极连接于一内部电路，以及该第二 NMOS 晶体管的源极接地；一寄生的旁侧双载流子晶体管，该旁侧双载流子晶体管的集电极连接于第一 NMOS 晶体管的漏极，而发射极连接于第二 NMOS 晶体管的源极；一触发电流产生电路，第一端连接于 I/O
15 接点，第二端接地，以及第三端连接于旁侧双载流子晶体管的基极，借以在 I/O 接点的电压高于一设定值时，从第三端送出一触发电流；以及一寄生的基板电阻，一端连接于双载流子晶体管的基极，另一端接地，借以利用触发电流产生一偏压给双载流子晶体管。

本发明采用基体触发技术对高低电压共容的输入输出电路进行静电放电防
20 护，可使堆叠式的 NMOS 元件不易因静电放电而烧毁，从而大大提高高低电压共容的输入输出电路的静电放电防护能力。

附图说明

图 1 为现有技术的静电放电防护电路；

图 2 为现有技术的静电放电防护电路的剖面图；

25 图 3 为图 1 的晶体管的漏极与源极电压以及漏极电流的关系图；

图 4 为本发明静电放电防护电路的第一实施例；

图 5 显示本发明应用于混合型电压的 ESD 保护电路的具有触发电流产生电路的堆叠 NMOS 晶体管结构的剖面图；

图 6 显示 SPICE 模拟的二极管数目与触发电流的关系图；

图 7 显示 SPICE 模拟的 PMOS 晶体管的宽度与触发电流的关系图；

5 图 8 为本发明静电放电防护电路的第二实施例；

图 9 显示 4 种静电放电的型态；

图 10 为应用本发明静电放电防护电路的电路。

图中元件符号参数说明：

	10 静电放电防护电路	11 I/O 接点
10	12 内部电路	13 提升 PMOS 晶体管
	20 堆叠 NMOS 晶体管	21 上侧 NMOS 晶体管
	22 下侧 NMOS 晶体管	30 旁侧双载流子晶体管
	40 触发电流产生电路	50 寄生基板电阻

具体实施方式

15 图 4 为本发明静电放电防护电路的第一实施例。如该图所示，本发明的静电放电防护电路 10 系包含一堆叠的 NMOS 晶体管 20、一旁侧双载流子晶体管 30、一寄生基板电阻 Rsub、以及一触发电流产生电路 40。该堆叠的 NMOS 晶体管 20 可将 I/O 接点的电压嵌制在预设电压范围内，而触发电流产生电路 40 是用来产生触发电流 Itrig。当触发电流 Itrig 超过一临界电流值时，经由寄生基板电
20 阻 Rsub 所产生的压降，来提早触发旁侧双载流子晶体管 30，借以排除静电放电的电流，以提升该保护电路的 ESD 耐压度。

该堆叠的 NMOS 晶体管 20 包含上侧 NMOS 晶体管 21 与下侧 NMOS 晶体管 22。上侧晶体管 21 的漏极 (drain) 连接到一 I/O 接点 (pad) 11，栅极 (gate) 连接至电源电压 Vdd。下侧晶体管 22 的漏极连接至上侧晶体管 21 的源极 (source)，
25 栅极连接至内部电路 12，而源极连接至 Vss，亦即接地。需注意到，上侧晶体管 21 的源极与下侧晶体管 22 的漏极亦形成共用扩散区域 (shared diffffusion)。而且，下侧晶体管 22 的栅极系连接于内部电路 12，而非接地。

双载流子晶体管 30 的集电极(collector electrode)连接于上侧晶体管 21 的漏极,亦即连接于 I/O 接点 11。而双载流子晶体管 30 的发射极(emitter electrode)连接于下侧晶体管 22 的源极,亦即接地。寄生基板电阻 Rsub 连接于双载流子晶体管 30 的基极(bas electrode)与第二工作电压 Vss 之间。因此,当触发电流 Itrig 大于一临界值时 Ith 时,亦即大于双载流子晶体管 30 的基极-发射极接面顺向偏压时,该双载流子晶体管 30 会导通,借以将静电放电电流从 I/O 接点 11 引导至第二作电压 Vss,亦即接地。

触发电流产生电路 40 用来产生触发电流 Itrig。如图 4 所示,触发电流产生电路 40 包含一串联二极管 D1、D2、...、Dm、一 PMOS 晶体管 42、一 NMOS 晶体管 43、以及一电阻 Rd。串联二极管 D1、D2、...、Dm 的正端连接至 I/O 接点 11,而负端连接至 PMOS 晶体管 42 的第一电流极(first current electrode)。NMOS 晶体管 43 的漏极连接至 PMOS 晶体管 42 的第二电流极,且源极接地。PMOS 晶体管 42 与 NMOS 晶体管 43 的栅极(gate electrode)经过电阻 Rd 连接至电源电压 Vdd。触发电流 Itrig 即从 I/O 接点 11 经过串联二极管 D1、D2、...、Dm、PMOS 晶体管 42 后输出。NMOS 晶体管 43 的作用是避免在正常工作情形下,有大的漏电流触发双载流子晶体管 30 而使其导通(turn on)。电阻 Rd 可使用具有寄生(parasitic)p-sub/n+的二极管的 n+ 扩散电阻。该寄生(parasitic)p-sub/n+的二极管可作为天线二极管(antenna diode),借以解决在制造过程时的天线效应(antenna effect)。

在正常的情形下,ESD 电路是保持在不导通的状态,因此不会影响(interfere) I/O 接点 11 的电压准位。当 I/O 接点 11 作为输入缓冲器(input buffer)时,内部电路 12 的前驱动器(未图示)会输出逻辑 0 至下侧晶体管 22 的栅极,因此不会有泄漏电流流过堆叠的 NMOS 晶体管 20。跨过串联二极管 D1、D2、...、Dm 的电压 Vstring 可以用式(1)表示:

$$Vstring(I) = mV_D(I) - nV_r \left[\frac{m(m-1)}{2} \right] \times \ln(\beta + 1) \quad \dots(1)$$

其中, m 为二极管的数目、n 为理想因素、以及 β 为寄生 PNP 晶体管的 β 增

益。

当 I/O 接点 11 的电压 V_{pad} 大于 $V_{string} + |V_{tp}| + V_{dd}$ 时, 触发电流产生电路 40 即会产生触发电流 I_{trig} 。该触发电流产生电路 40 可根据在工作温度下所需的泄漏电流调整串联二极管 D1、D2、...、Dm 的长度, 以及触发电流产生电路 40 动作的电压, 以维持 ESD 电路在正常工作情形下不导通的状态。

当发生 ESD 的情形时, 由于电源电压 V_{dd} 的 de-coupling 电容使得 PMOS 晶体管 42 的栅极近似接地。所以在 $V_{pad} \geq V_{string} + |V_{tp}|$ 时, 触发电流产生电路 40 导通, 且电流会流过串联二极管 D1、D2、...、Dm 以及 PMOS 晶体管 42 至基板 (substrate)。因此, 一适当的寄生基板电阻 R_{sub} , 使得该寄生基板电阻 R_{sub} 的压降 V_{sub} 大于 0.6V, 使双载流子晶体管 30 导通。图 5 显示本发明应用于高低电压共容的 ESD 保护电路的具有触发电流产生电路的堆叠 NMOS 晶体管结构的剖面图。

图 6 显示 SPICE 模拟的二极管数目与触发电流 I_{trig} 的关系, 其中 I/O 接点 11 的电压在 0V 至 8V 的上升时间为 10ns, 以模拟 ESD 情形 (堆叠 NMOS 晶体管 20 的崩溃电压约接近 10V)。从该图可了解到, 二极管的数目与触发电流 I_{trig} 成反比的关系。图 7 显示 SPICE 模拟的 PMOS 晶体管 42 的宽度与触发电流 I_{trig} 的关系, 其中二极管的数目为 5 且 PMOS 晶体管 42 的长度为 $3\mu m$ 。从该图可了解到, PMOS 晶体管 42 的宽度与触发电流 I_{trig} 成正比的关系。可根据图 6、7 的 SPICE 模拟结果来调整二极管数目及 PMOS 晶体管 42 的宽度, 以使在 ESD 情形下, 在堆叠 NMOS 晶体管 20 尚未崩溃前, 有足够的电流 I_{trig} 来及早触发寄生的旁侧双载流子晶体管 30。

图 8 显示本发明静电放电防护电路的第二实施例。如该图所示, 静电放电防护电路 10' 的结构与第一实施例的静电放电防护电路 10 相同, 唯一不同点为串联二极管 D1、D2、...、Dm 的正端连接于一提升 PMOS 晶体管 13 的浮接 (floating) 的 n-阱 (n-well), 且该 PMOS 晶体管 13 为输出缓冲器的一部份。在 ESD 情形下, 电流最初流过 PMOS 晶体管 13 的寄生 p+/n-阱二极管以及触发电流产生电路 40 借以产生触发电流 I_{trig} 来快速导通包含于堆叠 NMOS 晶体管 20 的寄生旁侧

双载流子晶体管 30，而将 ESD 电流排除 (Shunt)。第二实施例的目的是提供一种嵌制结构以确保 I/O 接点 11 不会产生额外的输入电容。此结构对于类比集成电路尤其重要。

图 9 显示四种静电放电的型态。如该图所示，由于在 ESD 测试下对于 I/O 接点 11 会产生相对于电源电压 Vdd 与第二工作电压 Vss 的正电压或负电压，因此会有四种静电放电的型态。在该等 ESD 型态下，ESD 电压会相对于电源电压 Vdd 与第二工作电压 Vss 而灌入 I/O 接点 11，但其他的接点为浮接状态。所以，ESD 保护电路必须将 ESD 电流旁路 (bypass) 至电源电压 Vdd 与第二工作电压 Vss。以下下参考图 10 分别说明本发明电路在四种静电放电的型态的工作方式：

1. 相对于第二工作电压 Vss 产生正电压输入。在此 PS-型态下，高输入电压会使触发电流产生电路 40 动作并导通堆叠 NMOS 晶体管的 ESD 保护电路，而将大部分的 ESD 电流旁路至第二工作电压 Vss。

2. 相对于电源电压 Vdd 产生正电压输入。在此 NS-型态下，高输入电压会使触发电流产生电路 40 动作并导通堆叠 NMOS 晶体管的 ESD 保护电路，而将大部分的 ESD 电流旁路至第二工作电压 Vss。同时，因为第二工作电压作 Vss 的电压增加，迫使寄生二极管 Dw 导通，而将 ESD 电流旁路至电源电压 Vdd。而寄生二极管 Dw 是由 P 型基板与 n-阱所形成。

3. 相对于第二工作电压 Vss 产生负电压输入。在此 PD-型态下，高负输入电压会使寄生二极管 Dn 导通，而将 ESD 电流旁路至第二工作电压 Vss。而寄生二极管 Dn 是由 P 型基板与 n+区域所形成。

4. 相对于电源电压 Vdd 产生负电压输入。在此 ND-型态下，高负输入电压会使寄生二极管 Dn 导通，而将 ESD 电流经由寄生二极管 Dn 与轨 (Rail) 钳制电路旁路至电源电压 Vdd。

所以，本发明的静电放电防护电路可有效达到静电放电防护的效果。

以上虽以实施例说明本发明，但并不因此限定本发明的范围，只要不脱离本发明的要旨，该领域技术人员可进行各种变形或变更。

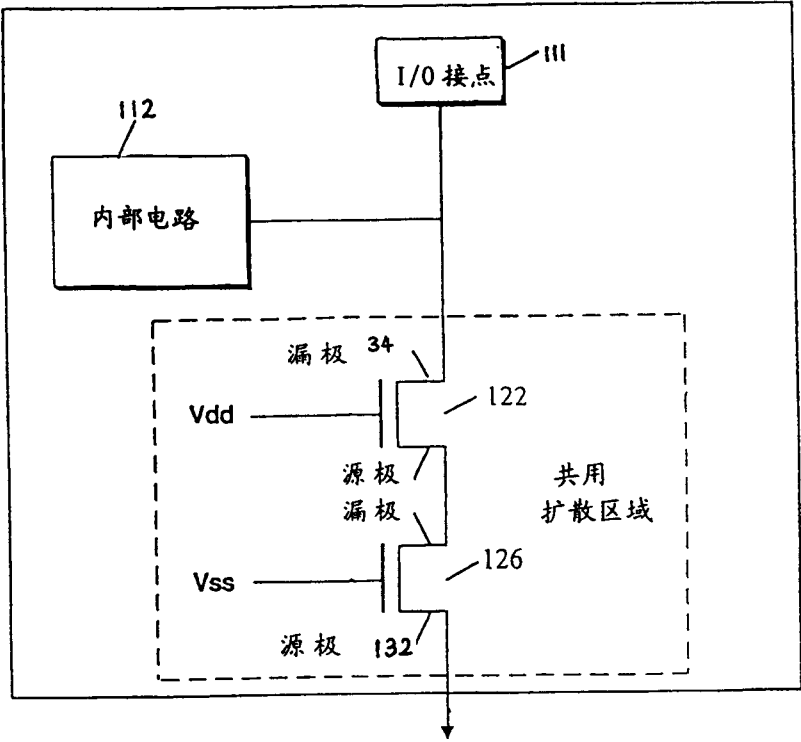


图 1

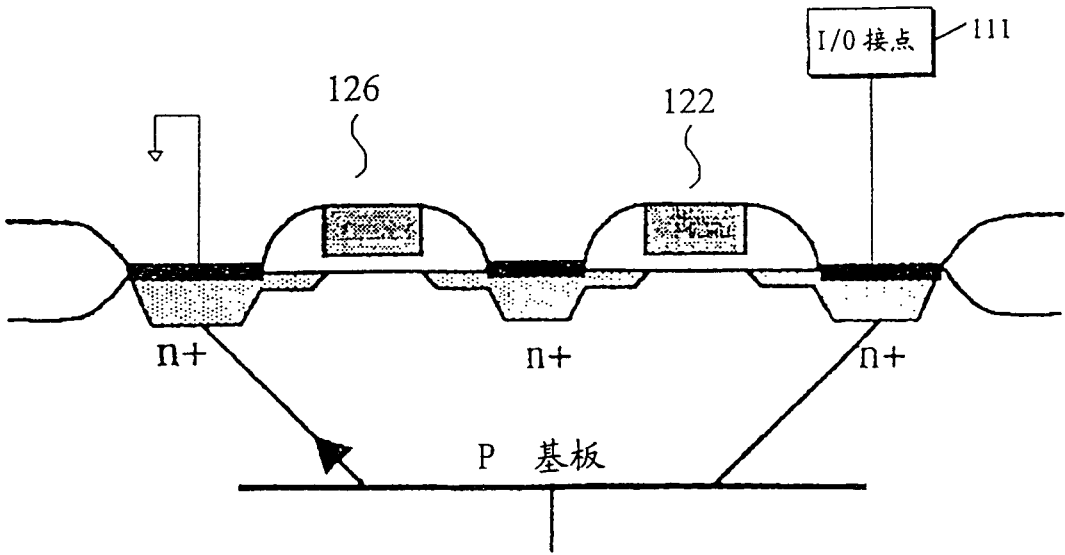


图 2

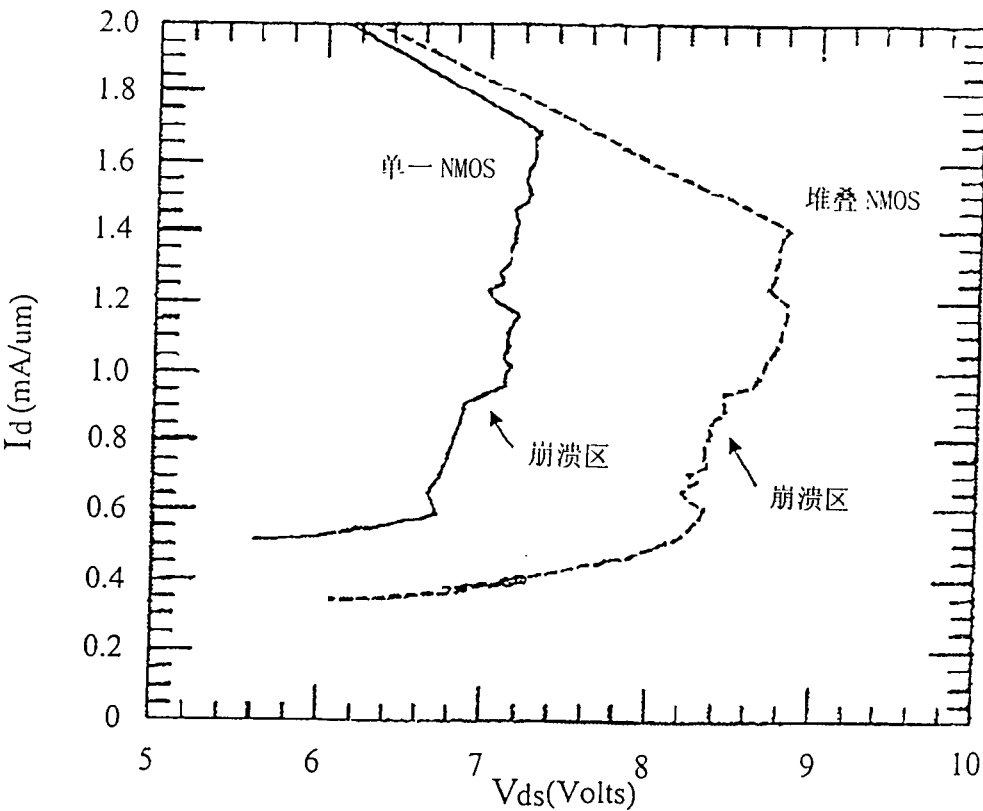


图 3

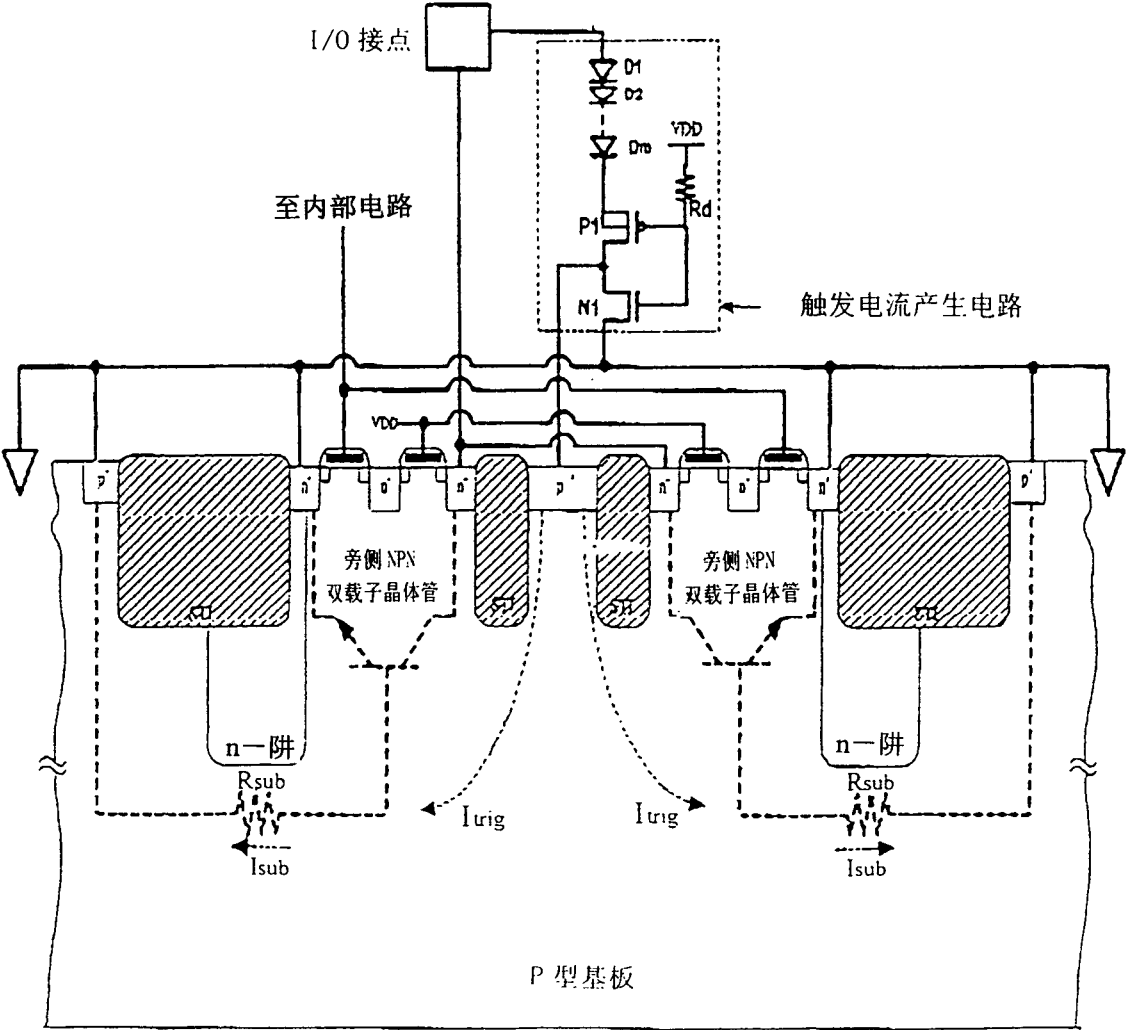


图 5

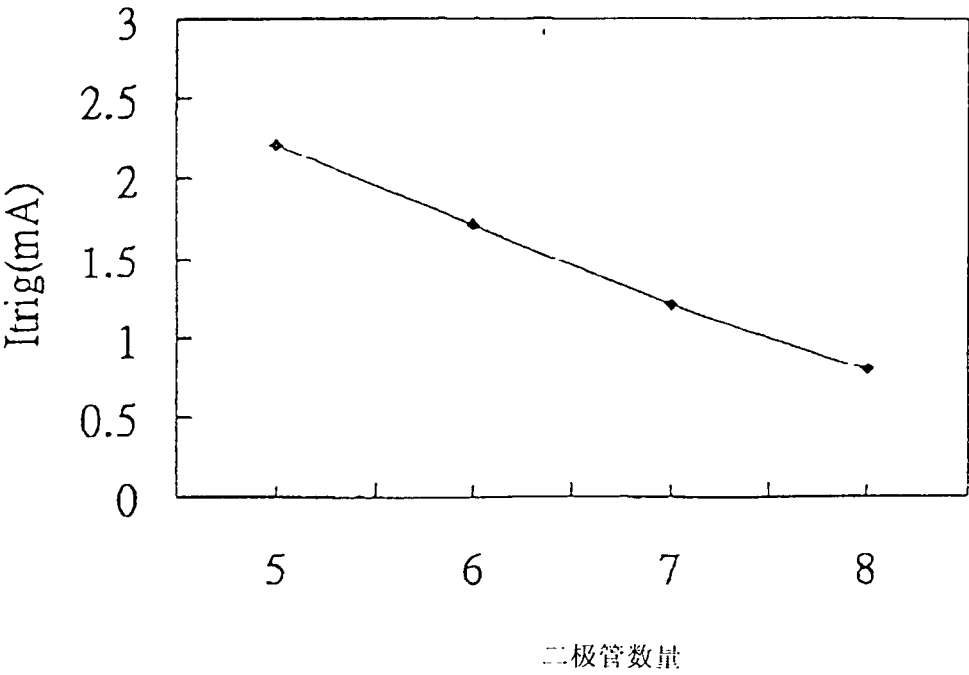


图 6

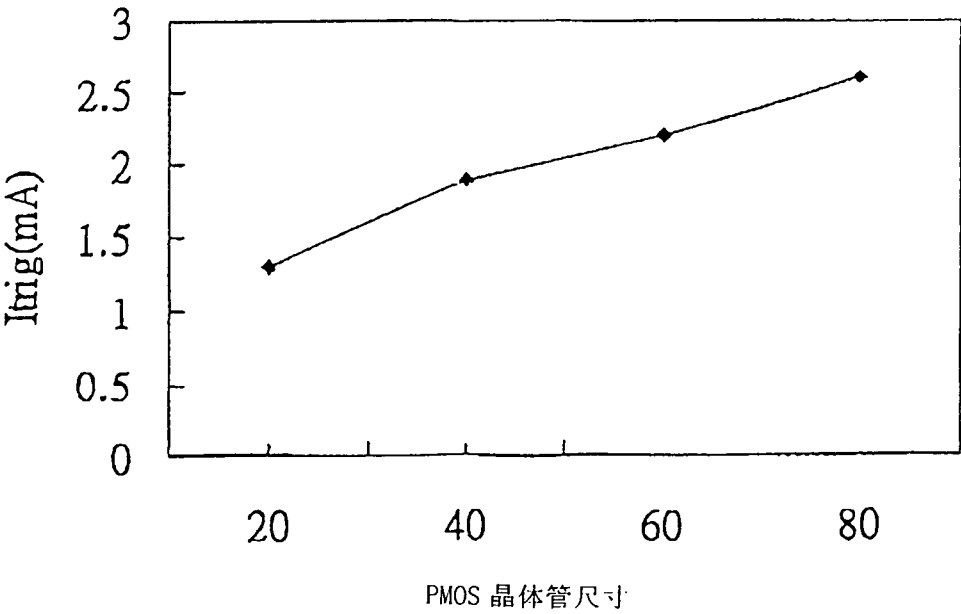


图 7

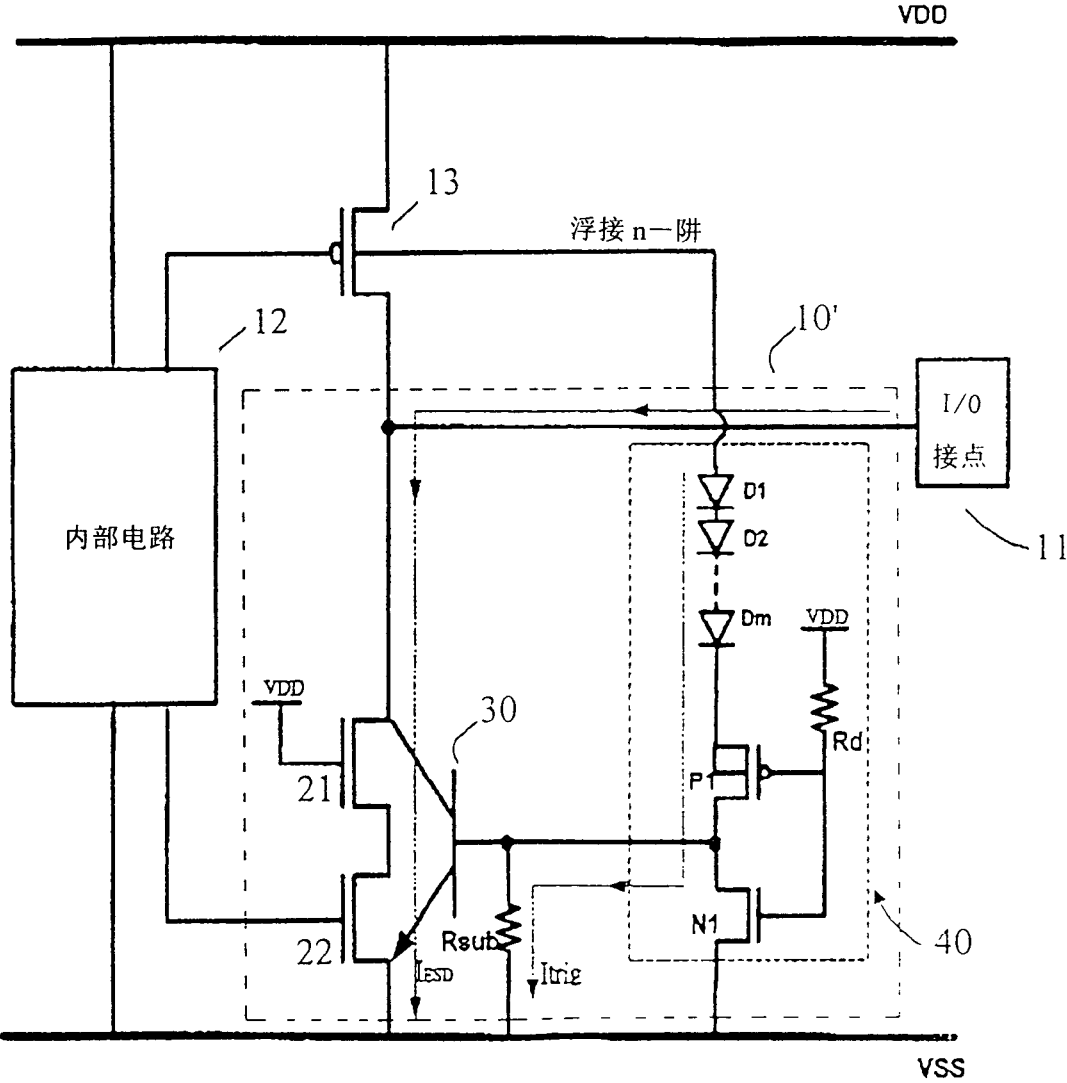
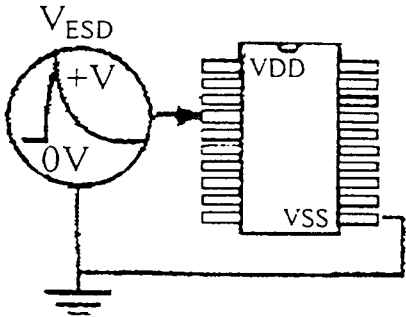
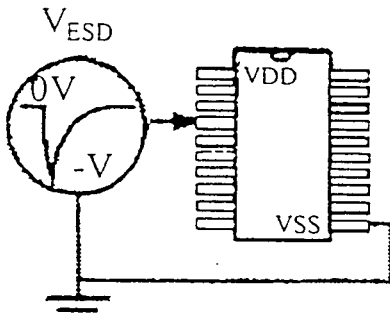


图 8

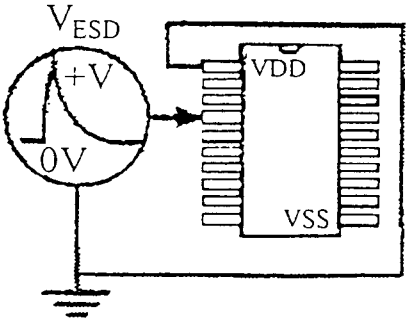
(1) PS-型态



(2) NS-型态



(3) PD-型态



(4) ND-型态

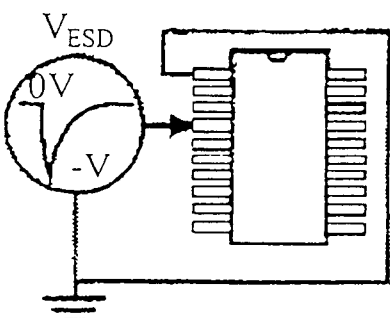


图 9

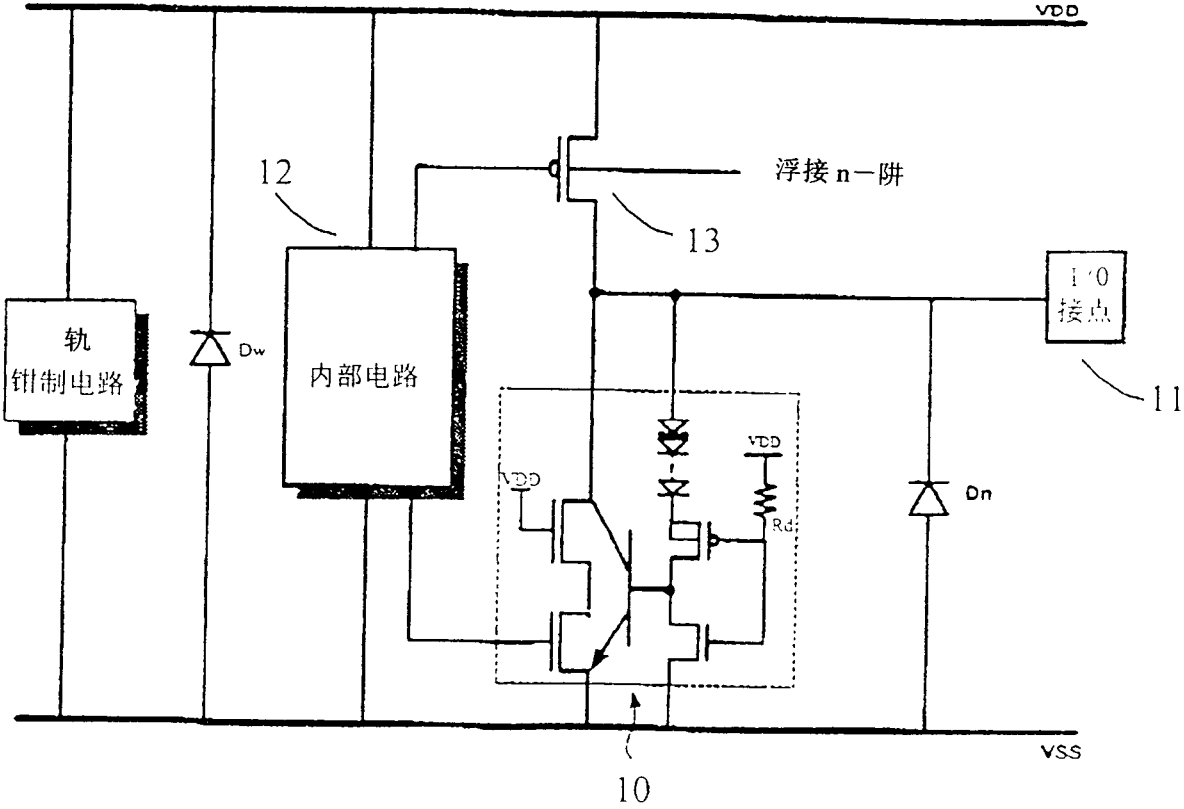


图 10